

**SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**

**Patent number:** JP2000114489  
**Publication date:** 2000-04-21  
**Inventor:** UEMOTO YASUHIRO; NAGANO YOSHIHISA; FUJII EIJI  
**Applicant:** MATSUSHITA ELECTRONICS INDUSTRY CORP  
**Classification:**  
- **international:** H01L27/108; H01L21/8242; H01L27/04; H01L21/822;  
H01L21/8247; H01L29/788; H01L29/792  
- **europaen:**  
**Application number:** JP19990184944 19990630  
**Priority number(s):**

**Abstract of JP2000114489**

**PROBLEM TO BE SOLVED:** To provide a highly reliable stacked capacitor type semiconductor device.

**SOLUTION:** After an access transistor 2, a bit line 6 and a first interlayer insulating film 4 are formed on a semiconductor substrate 1, a plug 8 for electrically connecting the access transistor 2 and a ferroelectric capacitor 9 is formed in a contact hole provided in a predetermined region in the first interlayer insulating film 4. Then, a lower electrode 10 comprising a laminated film, a ferroelectric film 11 and a first upper electrode 14 are laminated sequentially. Subsequently, after an insulating film for sidewall 16 comprising a silicon oxide film, etc., is formed on the entire wafer surface, the entire surface of the insulating film for sidewall is anisotropically etched to form a sidewall 16S. Finally, a second upper electrode 17 comprising Pt, etc., is formed to form the ferroelectric capacitor 9.

---

Data supplied from the *esp@cenet* database - Patent Abstracts of Japan

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

# (12) 公開特許公報 (A)

(11) 特許出願公開番号  
**特開2000-114489**  
(P 2 0 0 0 - 1 1 4 4 8 9 A)  
(43) 公開日 平成12年4月21日 (2000. 4. 21)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テ-マコード (参考)
H01L 27/108		H01L 27/10	621 B
21/8242		27/04	C
27/04		27/10	651
21/822		29/78	371
21/8247			

審査請求 有 請求項の数10 O L (全7頁) 最終頁に続く

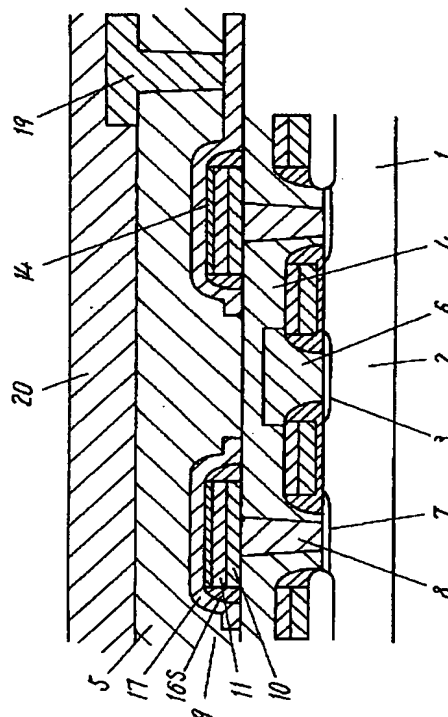
(21) 出願番号	特願平11-184944	(71) 出願人	000005843 松下電子工業株式会社 大阪府高槻市幸町1番1号
(22) 出願日	平成11年6月30日 (1999. 6. 30)	(72) 発明者	上本 康裕 大阪府高槻市幸町1番1号 松下電子工業株式会社内
(31) 優先権主張番号	特願平10-223933	(72) 発明者	長野 能久 大阪府高槻市幸町1番1号 松下電子工業株式会社内
(32) 優先日	平成10年8月7日 (1998. 8. 7)	(72) 発明者	藤井 英治 大阪府高槻市幸町1番1号 松下電子工業株式会社内
(33) 優先権主張国	日本 (J P)	(74) 代理人	100097445 弁理士 岩橋 文雄 (外2名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 信頼性の高いスタックトキャパシタ型の半導体装置を提供する。

【解決手段】 半導体基板1上にアクセストランジスタ2、ビット線6、第1の層間絶縁膜4を形成した後、第1の層間絶縁膜4の所定の領域に設けられたコンタクト穴にアクセストランジスタ2と強誘電体キャパシタ9とを電気的に接続するためのプラグ8を形成する。その後、積層膜からなる下部電極10と、強誘電体膜11と、第1の上部電極14とを順に積層して加工形成する。その後、シリコン酸化膜等からなるサイドウォール用絶縁膜16をウエハ全面に形成した後、サイドウォール用絶縁膜16を全面異方性エッチングすることによりサイドウォール16Sを形成する。次に、Pt等からなる第2の上部電極17を加工形成することにより、強誘電体キャパシタ9を形成する。



## 【特許請求の範囲】

【請求項 1】 上部電極および絶縁膜および下部電極からなる容量素子を有する半導体装置において、前記絶縁膜と前記上部電極間に絶縁膜用保護膜を有し、少なくとも前記絶縁膜および前記絶縁膜用保護膜の側部にサイドウォールが設けられている半導体装置。

【請求項 2】 上部電極および下部電極間に介在する絶縁膜が強誘電体膜からなる容量素子を有する半導体装置において、前記強誘電体膜と前記上部電極間に強誘電体膜用保護膜を有し、少なくとも前記強誘電体膜および前記強誘電体膜用保護膜の側部にサイドウォールが設けられている半導体装置。

【請求項 3】 前記強誘電体膜用保護膜が導電性材料からなる請求項 2 記載の半導体装置。

【請求項 4】 前記強誘電体膜用保護膜が、前記上部電極と同一材料からなる請求項 3 記載の半導体装置。

【請求項 5】 前記上部電極が、白金または白金と酸化イリジウムの積層膜である請求項 4 記載の半導体装置。

【請求項 6】 前記強誘電体膜がピスマス層状ペロブスカイト構造を有する請求項 2 記載の半導体装置。

【請求項 7】 下部電極、強誘電体膜および強誘電体用保護膜を順次形成した後、異方性エッチングによりサイドウォールを少なくとも前記強誘電体膜および前記強誘電体膜用保護膜の側部に形成し、前記サイドウォールおよび前記強誘電体用保護膜上に上部電極を形成する半導体装置の製造方法。

【請求項 8】 請求項 7 記載の半導体装置において、前記下部電極上に強誘電体膜および強誘電体用保護膜を所定形状に形成する工程が、前記下部電極を形成し、前記下部電極上に強誘電体膜および強誘電体用保護膜を順次形成した後、前記下部電極、前記強誘電体膜および前記強誘電体用保護膜を略同一形状にパターン形成する工程であることを特徴とする半導体装置の製造方法。

【請求項 9】 半導体集積回路が作り込まれた基板上に第 1 の絶縁膜を形成し、前記半導体集積回路のソース領域またはドレイン領域に接続されたプラグを前記第 1 の絶縁膜の所定の領域に形成されたコンタクトホールに形成し、前記プラグに接続される下部電極を形成し、前記下部電極上に強誘電体膜および強誘電体用保護膜を順次形成した後、異方性エッチングによりサイドウォールを前記強誘電体膜および前記強誘電体膜用保護膜の側部に形成し、前記サイドウォール上および前記強誘電体用保護膜上に上部電極を形成する半導体装置の製造方法。

【請求項 10】 異方性エッチングによりサイドウォールを前記強誘電体膜および前記強誘電体膜用保護膜の側部に形成した後、前記サイドウォール上および前記強誘電体膜用保護膜上に上部電極を形成する前に、前記強誘電体膜用保護膜の表面のエッチング残りを除去する工程を有する請求項 7 または請求項 9 記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は強誘電体膜を用いたキャパシタを有する半導体装置およびその製造方法、特にスタックドキャパシタ型メモリセルに関するものである。

## 【0002】

【従来の技術】近年、デジタル技術の進展、携帯機器の高性能化が著しくなり、低消費電力かつ高速動作可能な不揮発性半導体記憶装置の高集積化が強く市場から求められている。強誘電体材料は外部電解により与えられた情報を構成原子の変位により高速に記憶し、かつ外部電解をきっても情報を記憶し続ける特長を有するものであり、この強誘電体材料をキャパシタの誘電体膜に用いることで優れた半導体装置を実現することができる。

【0003】この強誘電体材料をキャパシタの誘電体膜に用いたスタックドキャパシタ型メモリセル構造を有する高集積型半導体記憶装置（以下、強誘電体不揮発性半導体記憶装置と称する。）は特開平 6 - 1 3 2 4 8 2 号公報、特開平 9 - 1 1 6 1 2 3 号公報等に記載されている。

【0004】以下、従来の強誘電体不揮発性半導体記憶装置およびその製造方法について、図面を用いて説明する。

【0005】図 6 に示すように、強誘電体不揮発性半導体記憶装置は、半導体基板 1 上に形成されたアクセストランジスタ 2 と、アクセストランジスタ 2 のソース部 3 に、第 1 の層間絶縁膜 4 および第 2 の層間絶縁膜 5 に設けられたコンタクトホールを介して電氣的に接続されたビット線 6 と、アクセストランジスタ 2 のドレイン部 7 にプラグ 8 を介して電氣的に接続された強誘電体キャパシタ 9 とから構成される。ここでは、強誘電体キャパシタ 9 の下部電極 10 上に強誘電体膜 11 が形成されており、これらの側面には絶縁膜からなるサイドウォール 12 が設けられている。上部電極 13 は強誘電体膜 11 およびサイドウォール 12 上にこれらを直接被覆するように形成されている。

## 【0006】

【発明が解決しようとする課題】しかしながら、このような従来例において、サイドウォール 12 は、強誘電体キャパシタ 9 の下部電極 10 および強誘電体膜 11 をエッチングにより形成し、サイドウォール 12 となる絶縁膜を CVD 法で全面に堆積させた後、この絶縁膜の全面を異方性エッチングすることにより、下部電極 10 および強誘電体膜 11 の側面に形成される。しかし、このような方法を用いた場合、異方性エッチング時に、金属酸化物である強誘電体膜 11 が表面全面にわたり損傷を受け、組成のずれや結晶構造の乱れが激しく生じる。

【0007】例えば、強誘電体膜 11 に  $\text{SrBi}_2\text{Ta}_2\text{O}_7$  膜を用い、絶縁膜からなるサイドウォール 12 にシ

リコン酸化膜を用いた場合、シリコン酸化膜を C F<sub>4</sub> 等のエッチングガスを用いて異方性エッチングを行った場合、その異方性エッチングの完了時に、強誘電体膜 1 1 である S r B i<sub>2</sub> T a<sub>2</sub> O<sub>6</sub> 膜の表面が露出することになるが、この際、強誘電体膜 1 1 上にシリコン酸化膜が残ってしまう場合がある。

【 0 0 0 8 】ここで、シリコン酸化膜が強誘電体膜 1 1 上に残ると、本来、上部電極 1 3 / 強誘電体膜 1 1 / 下部電極 1 0 の構成となるべきが、上部電極 1 3 / シリコン酸化膜 / 強誘電体膜 1 1 / 下部電極 1 0 の構成になる。上部電極 1 3 と下部電極 1 0 間に印加した電圧は強誘電体膜に直列に接続されるシリコン酸化膜にも分配され、強誘電体膜 1 1 に印加される電圧が減少するために強誘電体膜 1 1 の分極反転が不十分になり、残留電荷量が減少するという特性不良を生じる。このため、シリコン酸化膜のエッチングに際してはシリコン酸化膜のエッチングレートがウエハ面内バラツキおよびシリコン酸化膜の堆積量のウエハ面内バラツキに応じたオーバーエッチングが必要である。このオーバーエッチングの際、強誘電体膜 1 1 である S r B i<sub>2</sub> T a<sub>2</sub> O<sub>6</sub> 膜の表面全体がシリコン酸化膜のエッチングプラズマにさらされるため酸素欠損を生じるとともに、B i や T a といった強誘電体膜 1 1 の主成分の原子の欠損も生じることが発明者の実験で確認されている。

【 0 0 0 9 】この損傷はその後の熱処理などでは回復できないものであり、優れた電気的特性を有する強誘電体キャパシタを作製することができない。この結果、信頼性の高い強誘電体不揮発性半導体記憶装置を実現することができないという問題があった。

【 0 0 1 0 】本発明は、上記課題を解決するためになされたものであり、サイドウォール形成のための絶縁膜の全面異方性エッチング時においても強誘電体膜に損傷を発生させず、強誘電体膜の電気的特性の劣化をなくすことで、信頼性の高い半導体装置を実現することを目的とする。

【 0 0 1 1 】

【課題を解決するための手段】上記目的を達成するために請求項 1 記載の発明は、上部電極および絶縁膜および下部電極からなる容量素子を有する半導体装置において、前記絶縁膜と前記上部電極間に絶縁膜用保護膜を有し、少なくとも前記絶縁膜および前記絶縁膜用保護膜の側部にサイドウォールが設けられていることを特徴とするものである。

【 0 0 1 2 】また本発明の請求項 2 記載の半導体装置は、上部電極および下部電極間に介在する絶縁膜が強誘電体膜からなる容量素子を有する半導体装置において、前記強誘電体膜と前記上部電極間に強誘電体膜用保護膜を有し、少なくとも前記強誘電体膜および前記強誘電体膜用保護膜の側部にサイドウォールが設けられていることを特徴とするものである。

【 0 0 1 3 】これらの構成により、サイドウォール形成時に第 1 の上部電極が強誘電体膜の表面を被覆しているため、強誘電体膜の表面はプラズマにさらされることがなく、優れた強誘電体特性および絶縁特性を有する強誘電体キャパシタを得ることができる。また、この第 1 の上部電極がサイドウォール形成時に損傷を受けても、第 2 の上部電極が上部電極上に形成されているため、電極性能も劣化することがない。

【 0 0 1 4 】また本発明の請求項 7 記載の半導体装置の製造方法は、下部電極、強誘電体膜および強誘電体用保護膜を順次形成した後、異方性エッチングによりサイドウォールを少なくとも前記強誘電体膜および前記強誘電体膜用保護膜の側部に形成し、前記サイドウォールおよび前記強誘電体用保護膜上に上部電極を形成することを特徴とするものである。

【 0 0 1 5 】さらに本発明の請求項 1 0 の半導体装置の製造方法は、請求項 7 記載の半導体装置の製造方法において、異方性エッチングによりサイドウォールを前記強誘電体膜および前記強誘電体膜用保護膜の側部に形成した後、前記サイドウォール上および前記強誘電体用保護膜上に上部電極を形成する前に、前記強誘電体膜用保護膜の表面のエッチング残りを除去する工程を有することを特徴とするものである。

【 0 0 1 6 】これらの方法によれば、上記の作用効果に加えて、上部電極形成前に強誘電体保護膜上に残ったエッチング残りを除去することができる。

【 0 0 1 7 】

【発明の実施の形態】以下、本発明の実施の形態の半導体装置について、図面を参照しながら説明する。

【 0 0 1 8 】図 1 は本発明の実施の形態による半導体装置の要部断面図であり、図 2 ( a ) ~ ( d ) および図 3 ( e ) ~ ( g ) は、本発明の実施の形態における半導体装置の製造方法を示す工程断面図である。なお、図 1、図 2、図 3 において、図 6 と同一物については、同一番号を用いて説明する。

【 0 0 1 9 】まず、図 2 ( a ) に示すように、半導体基板 1 上に集積回路としてアクセストランジスタ 2 を形成した後、ポリサイド膜などからなるビット線 6 を形成し、その後アクセストランジスタ 2 およびビット線 6 上に B P S G 等からなる層間絶縁膜 4 を形成する。その後、第 1 の層間絶縁膜 4 の所定の領域にコンタクトホールを形成する。その後、コンタクト穴にアクセストランジスタ 2 と強誘電体キャパシタ 9 とを電気的に接続するためのプラグ 8 を形成する。プラグ 8 はコンタクト穴に多結晶ポリシリコンまたはタングステン等を埋め込んだ後、エッチバック法もしくは化学的機械的研磨法等により、コンタクト穴部以外の多結晶ポリシリコンまたはタングステン等を除去する。

【 0 0 2 0 】次に、密着層、バリアメタル、P t の順に積層された積層膜からなる下部電極 1 0 を 2 0 0 n m 程

度ウエハ全面に形成した後、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ からなる強誘電体膜11をスパイン塗布法、CVD法等で150nm程度形成する。その後、Ptからなる第1の上部電極14を50nm程度積層して形成する。

【0021】その後、図2(b)に示すように、フォトレジスト等からなる下部電極加工用マスク15を用いて第1の上部電極14、強誘電体膜11および下部電極10を例えばArとCl等の混合ガスを用いてドライエッチングして、略同一形状に加工し、形成する。

【0022】しかる後、図2(c)に示すように、フォトレジストなどからなる下部電極加工用マスク15をアッシング等により除去した後、シリコン酸化膜等からなるサイドウォール用絶縁膜16を例えば300nm程度の膜厚でウエハ全面に形成する。

【0023】そして、図2(d)に示すように、ウエハ全面に形成されたサイドウォール用絶縁膜16を例えばCF<sub>4</sub>等のエッチングガスを用いて全面に異方性エッチングすることでサイドウォール16Sを形成する。

【0024】しかる後、図3(e)に示すように、例えば100nm程度の膜厚のPt等からなる第2の上部電極17をウエハ全面に形成した後、フォトレジストなどからなる上部電極加工用マスク18を形成する。

【0025】その後、図3(f)に示すように、フォトレジストなどからなる上部電極加工用マスク18を用いて例えばArとCl等の混合ガスを用いてドライエッチングすることによって第2の上部電極17を強誘電体膜11全体を覆うように、又は強誘電体膜11上に形成された第1の電極およびサイドウォール16Sの全体を覆うように形成する。また、この第2の上部電極17は、第1の上部電極14に比較して厚くなるように形成されている。このようにして、強誘電体キャパシタを形成する。

【0026】最後に、図3(g)に示すように、この強誘電体キャパシタ18を有する半導体基板上に第2の層間絶縁膜5を形成し、この絶縁膜の所定の領域に形成されたコンタクトホールを介して第2の上部電極17およびビット線6に達するAl膜等からなる配線19を形成した後、最終保護膜としてのシリコン窒化膜20等を形成して半導体装置を完成する。

【0027】図4は本実施の形態による半導体装置を使用した場合(曲線a)および従来の半導体装置を使用した場合(曲線b)の各々について、強誘電体キャパシタのヒステリシス特性を比較する図である。

【0028】なお、図4におけるデータの測定方法は、例えばソイヤータワー法等により、強誘電体キャパシタの上部電極と下部電極の間に適当な電界のパルスを印加することで、蓄積電荷量-印加電界のヒステリシス特性を評価することができる。

【0029】図4から明らかなように、強誘電体キャパシタに対する印加電界を150kV/cm〜150k

V/cmの範囲でかけたところ、従来の半導体装置を使用した場合は、ヒステリシス特性において印加電界が0kV/cmにおける蓄積電荷量の差が約11μC/cm<sup>2</sup>であったのに対し、本発明の実施の形態における半導体装置を使用した場合は、蓄積電荷量の差が約22μC/cm<sup>2</sup>と大幅に向上していることがわかる。したがって本発明の実施の形態における強誘電体キャパシタのヒステリシス特性は従来の強誘電体キャパシタのヒステリシス特性に比べて、蓄積電荷量が大きく、記憶特性に優れていることがわかる。

【0030】図5は本実施の形態による半導体装置を使用した場合(曲線c)および従来の半導体装置を使用する場合(曲線d)の各々について、強誘電体キャパシタの電流-電圧特性を比較する図である。

【0031】なお、図5におけるデータ測定は、強誘電体キャパシタの上部電極と下部電極間に印加する電圧を増加させながら、強誘電体キャパシタに流れる電流を測定し、電流-電圧特性を評価したものである。

【0032】図5から明らかなように、強誘電体キャパシタに対する印加電圧を0V〜6V程度かけたところ、従来の半導体装置を使用した場合は、電流が10<sup>-3</sup>A/cm<sup>2</sup>以上流れてしまったのに対し、本発明の実施の形態における半導体装置を使用した場合は、10<sup>-6</sup>A/cm<sup>2</sup>以上流れることはなく、電圧印加時のリーク電流が極めて少なく良好な絶縁性を示していることがわかる。

【0033】なお、本実施の形態では、強誘電体膜11を上部電極14、17と下部電極10間に介在する絶縁膜として用いたが、強誘電体膜11の代わりに、通常のSiO<sub>2</sub>膜等からなる絶縁膜を用いても良好な絶縁性を得ることができる効果を有する。

【0034】なお、本実施の形態では、強誘電体膜11として、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ を用いたが、Taの代わりにNbを用いた $\text{SrBi}_2\text{Ta}_2\text{O}_9$ でも、また、その両者がある割合で混合したものでも、また、Sr、Bi、Ta等の組成比をかえたものを用いても勿論良く、またPZT膜等他の材料の強誘電体を用いても同様の効果が得られることは言うまでもない。

【0035】なお、強誘電体膜11は、ピスマス層状ペロブスカイト構造を有する強誘電体膜であることが望ましい。

【0036】また、本実施の形態では、ビット線6を強誘電体キャパシタよりも下層に形成する場合について説明したが、ビット線6を強誘電体キャパシタよりも上層に形成する構造としても同様の効果が得られることは言うまでもない。

【0037】なお、本実施の形態では、下部電極10として、密着層、バリアメタル、Ptの順に積層された積層膜を用いたが、少なくとも白金、または白金と酸化イリジウムを含んだ積層膜を用いても同様の効果が得られる。

10

20

30

40

50

【0038】なお、本実施の形態では、第1の上部電極14および第2の上部電極17としてPtを用いたが、第1の上部電極14および第2の上部電極17が少なくとも白金、または白金と酸化イリジウムを含んだ積層膜を用いても同様の効果が得られる。

【0039】なお、本実施の形態では、図1および図3(g)に示したように、A1膜等からなる配線19を第2の上部電極17に1箇所接続する場合について図示した。第2の上部電極17は複数の強誘電体キャパシタを電氣的に接続しているので、配線19を第2の上部電極17に1箇所接続すれば、配線19は複数の強誘電体キャパシタ9に接続される。しかし、配線19を第2の上部電極17に複数箇所接続してもよい。

【0040】なお、本発明においては、上記実施の形態であげた数値限定に限らず、次のような範囲とすることが望ましい。

- ・下部電極10の厚さ：50nm～300nm。
- ・ $\text{SrBi}_2\text{Ta}_2\text{O}_9$ からなる強誘電体膜11の厚さ：50nm～300nm。
- ・Ptからなる第1の上部電極14の厚さ：20nm～200nm。
- ・シリコン酸化膜等からなるサイドウォール用絶縁膜16の厚さ：100nm～500nm。
- ・Pt等からなる第2の上部電極17の厚さ：50nm～300nm。

【0041】

【発明の効果】以上説明したように本発明によれば、第1の上部電極が強誘電体膜の表面を被覆しているため、サイドウォール形成用の絶縁膜の異方性エッチング時においても強誘電体膜の表面はプラズマにさらされることなく、損傷を受けない。したがって、本発明は、強誘電体膜の電氣的特性が劣化することなく、優れた強誘電

体特性および絶縁特性を有する強誘電体キャパシタを得ることができ、これにより信頼性の高い半導体装置を実現することができるものである。

【図面の簡単な説明】

【図1】本発明の実施の形態における半導体装置の要部断面図

【図2】本発明の実施の形態における半導体装置の製造工程図

【図3】同半導体装置の製造工程図

【図4】本発明の実施の形態における半導体装置および従来の半導体装置のヒステリシス特性の比較図

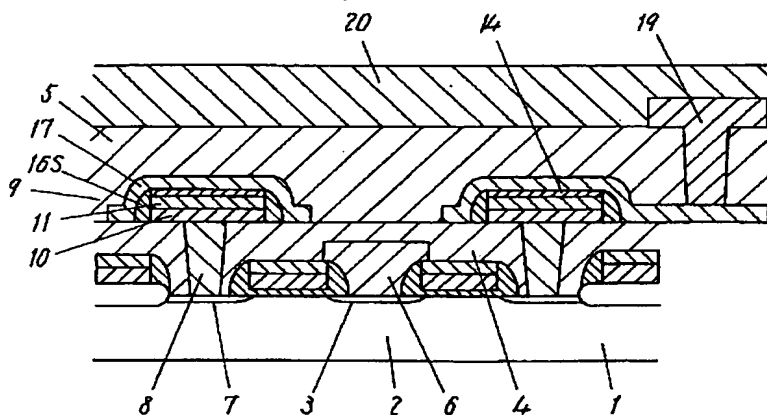
【図5】本発明の実施の形態における半導体装置および従来の半導体装置の電流－電圧特性の比較図

【図6】従来の半導体装置の一部断面部を示す図

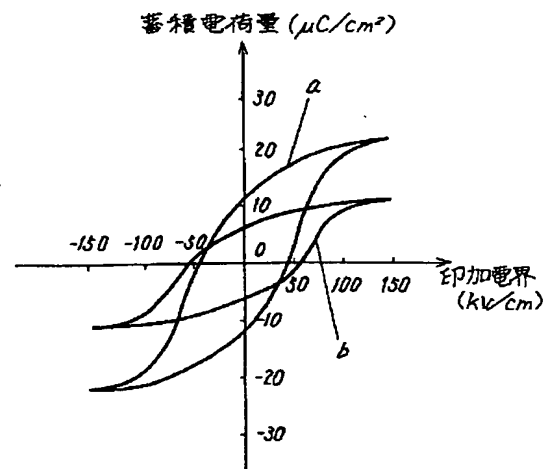
【符号の説明】

- 1 半導体基板
- 2 アクセストランジスタ
- 3 ソース部
- 4 第1の層間絶縁膜
- 5 第2の層間絶縁膜
- 6 ビット線
- 7 ドレイン部
- 8 プラグ
- 9 強誘電体キャパシタ
- 10 下部電極
- 11 強誘電体膜
- 14 第1の上部電極
- 16S サイドウォール
- 17 第2の上部電極
- 19 配線
- 20 保護膜

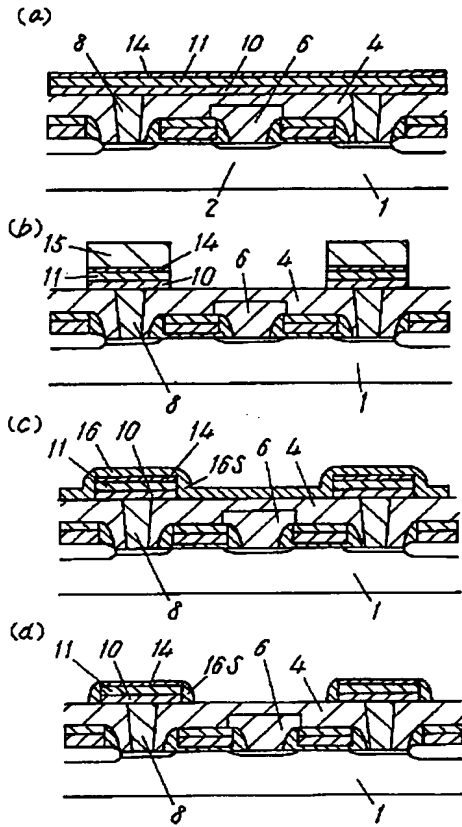
【図1】



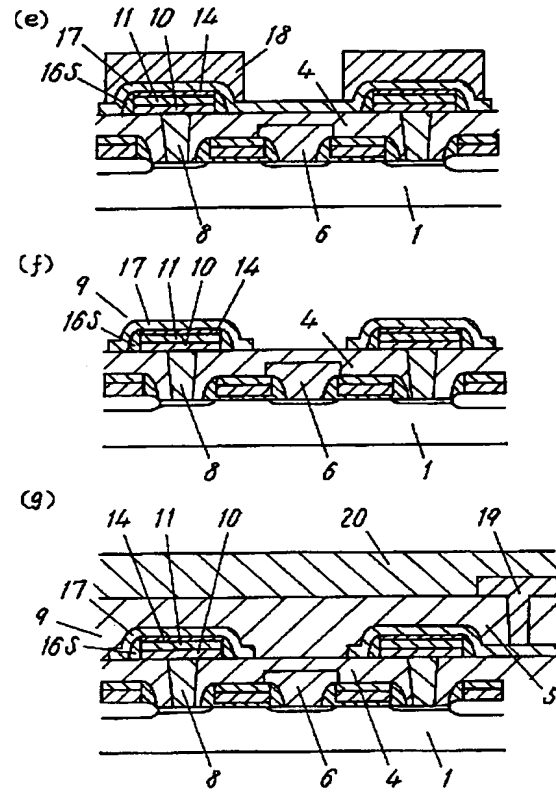
【図4】



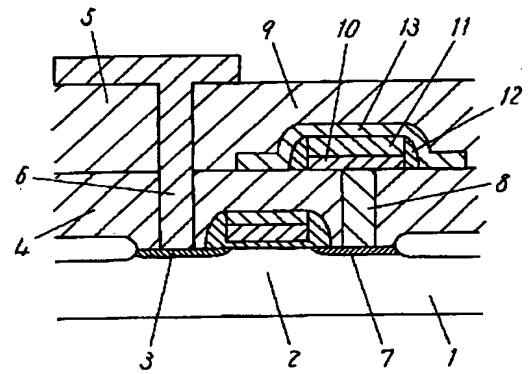
【図2】



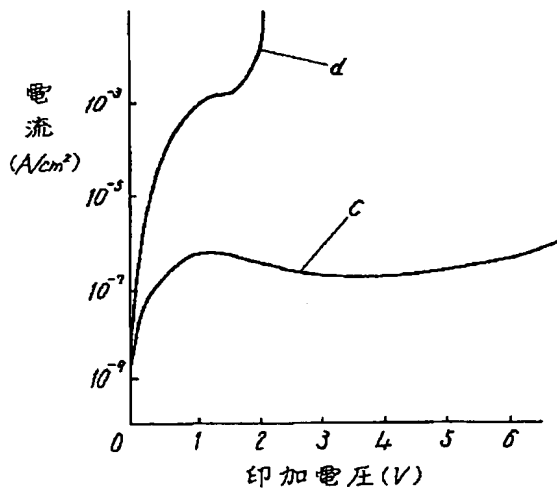
【図3】



【図6】



【図5】



フロントページの続き

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
29/788			
29/792			